

(Partial Translation of JP Sho 60-088420)

**[Claims]**

## 2. Claims

A composite layer ceramic part comprising a dielectric layer including at least one condenser, and a plurality of low dielectric layers of glass and ceramics, whose relative dielectric constant is below 10 including 10, which are stacked, the composite layer ceramic part including a structure that a second high dielectric layer of a relative dielectric constant of above 11 including 11, whose component is different from a first high dielectric layer of a relative dielectric constant of above 11 including 11 is sandwiched between the first high dielectric layer and said low dielectric layer.

**[From line 8, the upper right column of the third page to line 1, the upper right column of the fourth page]**

FIGs. 5 to 10 illustrate the steps of the method for manufacturing the composite layer ceramic part according to one example of the present invention. In these drawings, (a) indicates a plan view, and (b) indicates a sectional view.

A glass-ceramic sheet was formed and punched into a prescribed overall size, and in the glass-ceramic sheet illustrated in FIG. 5, via holes 21 were formed for electrically connecting the upper and the lower surfaces of the glass-ceramic green sheet 20. The diameter of the via holes 21 formed here could be minimum to 100  $\mu\text{m}$ .

Then, as illustrated in FIG. 6, on the glass-ceramic sheet 20 with the via holes 21 formed in, a conductor layer 2 to be used as a signal line and a shield line was formed by screen printing or others. Simultaneously with this, a conductor is buried in the regions of the via holes 21 have been formed.

The conductor was the paste of a conductor of a metal, such as Au, Ag, Pd, Pt or others or the paste of an alloy containing one or more of these metals. A glass-ceramic green sheet 20

with the conductor layer 2 formed only in and near the via holes 21 formed on was also formed.

Then, as illustrated in FIG. 7, a resistor paste 23 was printed on the glass·ceramic green sheet 20 with the conductor layer 2 formed only in the and near the regions of the via holes 21. Although not illustrated, depending on cases, the resistor paste is printed also on the glass·ceramic sheet where the via holes 21 are absent.

Next, the structure of the condenser side will be explained.

In the present invention, two kinds of high dielectrics are used, and a binary system composite perovskite compound of  $\text{Pb}(\text{Fe}_{2/3}\text{Nb}_{1/2})\text{O}_3 - \text{Pb}(\text{Fe}_{2/3}\text{W}_{1/2})\text{O}_3$  (herein after called PNW) has a high dielectric constant of about 15,000 but when laid on the glass·ceramic green sheet and sintered, large stresses are exerted between the high dielectric and the glass·ceramic, with an undesirable result of release. A ternary system composite perovskite compound of  $\text{Pb}(\text{Mg}_{1/3}\text{W}_{2/3})_{0.35}(\text{MnNb})_{0.01}\text{Ti}_{0.65}\text{O}_3$  (hereinafter called PMW) has a small dielectric constant of about 2,000 but when laid on the glass·ceramic green sheet 21 and sintered, a good sintered body can be obtained.

Then, two kinds of highly dielectrics of different sintering properties are sandwiched, whereby condensers having a high dielectric constant and good sintering property can be obtained.

Then, to form condensers, as illustrated in FIG. 8, a PMW dielectric green sheet 24 is punched.

Next, the same conductor layer 2 as the conductor layer illustrated in FIG. 6 is formed in and near the regions of the PMW dielectric green sheet 3, where via holes 21 are formed.

Then, on a PNW green sheet 25, a conductor layer 2 to be an electrode layer is formed as illustrated in FIG. 9.

Next, as illustrated in FIG. 11, to adjust the thickness of the respective sheets and the stacked layers illustrated in FIGs. 6 to 9, the glass·ceramic green sheet 20 illustrated in FIG. 10 and the glass·ceramic sheet 20 with the conductor

layer 2 formed only in and near the via holes 21 formed on are stacked by a press at a temperature of  $100 - 130^{\circ}\text{C}$  and a pressure of  $200 - 300 \text{ Kg/cm}^2$ . In FIG. 11, the high dielectric sheet, and the conductor layers formed on the upper surface and the undersurface of the highly dielectric sheet are to be the parts forming the condensers after sintered and are connected to the conductor layer 2b for the outside terminals via the via holes 21 and the conductor layer 2. An  $\text{RnO}_2$  resistor paste is also laid and sintered to form resistors 4 and are led outside via the via holes 21 and the conductor layer 2 for the interconnections.

The layer body thus stacked and thermally press-contacted is cut into a prescribed size and is subjected to the step of decomposing and vaporizing the binders to remove them and the sintering step of sintering the glass-ceramic and the dielectrics, and a sintered body is prepared.

The condensers built in the thus-prepared composite layer ceramic part had a capacitance of about 40% in comparison with that of the condensers formed with dielectrics alone. The built-in condensers according to the present invention had a capacitance which is 8 times that of the condensers prepared by the conventional method.

## ⑫ 公開特許公報(A)

昭60-88420

⑬ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 昭和60年(1985)5月18日

H 01 G 4/12

2112-5E

4/20

7364-5E

4/40

6918-5E

H 05 K 1/16

6370-5F

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 複合積層セラミック部品

⑯ 特 願 昭58-197053

⑰ 出 願 昭58(1983)10月21日

⑱ 発 明 者 西 澤 猛 東京都港区芝5丁目33番1号 日本電気株式会社内  
 ⑲ 発 明 者 白 須 哲 男 東京都港区芝5丁目33番1号 日本電気株式会社内  
 ⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号  
 ㉑ 代 理 人 弁理士 内 原 晋

## 明 細 書

## 1. 発明の名称

複合積層セラミック部品

## 2. 特許請求の範囲

少なくとも1個以上のコンデンサを有した誘電体層と、ガラス、セラミックからなる比誘電率が10以下の複数の低誘電率誘電体層とが積層された複合積層セラミック部品において、第1の比誘電率が11以上の高誘電率誘電体層と成分の異なる第2の比誘電率が11以上の高誘電率誘電体層が、第1の高誘電率誘電体層と該低誘電率誘電体層とに介挿された構造を含むことを特徴とする複合積層セラミック部品。

## 3. 発明の詳細な説明

## (1) 発明の属する分野の説明

本発明はコンデンサ、抵抗及び導体配線を有する複合セラミック部品、特に誘電体、金属酸化物

抵抗体、絶縁体、導体を同時に焼成して複合化した積層セラミック部品に関する。

## (2) 従来の技術の説明

従来、電子回路における抵抗、コンデンサ、インダクタンス等の受動部品およびトランジスタ、ダイオード等の能動部品はセラミック等の基板にプリント配線層を設け、半田付けして回路を作り、それをユニットとして用いることが行なわれていた。この場合、円板形またはチップ型のコンデンサやチップ抵抗等を1個ずつ取付けられねばならなかった。

一方、第1図に示すようなアルミナグリーンシートを用いたコンデンサ、抵抗を有する多層セラミック基板においては、コンデンサ部分を基体材料の焼成と同時に形成し、その後抵抗体を焼付けして形成するものである。しかしこの場合、基体材料としてアルミナ・シート1を用いているため焼成温度は1500℃以上と高温にしなければならず導体材料としてMo, W, Mn等の電気伝導率の低い導体層2を用いて還元雰囲気中で行なわ

ければならなかった。またコンデンサ形成部分3の誘電体層としてアルミナを用いているため誘電率もG程度と非常に低く、せいぜい $3\text{PF}/\text{mm}^2$ 程度の静電容量しか得ることが出来なかった。さらに抵抗部分を形成する工程においては、焼成した基体上にスクリーン印刷等により抵抗体4を印刷し、焼付けて形成するため、製造工程が多くなることと、抵抗部分の数を増すに従って基体面積が大きくなり製品の小型化、高密度化が困難になること等の欠点があった。

また第2図～第4図に示す構成のようなRC複合部品も考えられている。各図には複合部品の模式的斜視図(a)と等価回路図(b)を示した。

第2図、第3図においては積層チップコンデンサ12の外部電極11、11間に抵抗体4を接続させて形成した構造をもっているが、複数のコンデンサおよび抵抗体の素子を1個の部品中に構成することは困難であり、工程的にも多くの工程が必要となり熱サイクルも加わるためコストの面でも信頼性の面でも問題がある。第4図構成のも

のは、積層構造中にコンデンサ形成部分3および抵抗体4を有しているが、コンデンサ形成部分3、絶縁体16のセラミックシートは同一物質であり、ステアタイト、フォリステライト、チタン酸バリウム等を用いているため焼結後のセラミックの機械的強度は低い。従ってチップ部品として利用するには十分機械的強度はあるが、種々のチップ部品を搭載し実装等に利用する基板部品には機械的強度が不十分で適用出来ない欠点がある。また焼成後に、外部電極11を焼付けて完成部品とするため製造工程を多く採らねばならず形状の大きな部品で、しかも多数個の抵抗体およびコンデンサの素子を構成することは困難であり、高密度化に対しても問題がある。

### (3) 発明の目的

本発明の目的は、このような従来の問題点および欠点を除去し、酸化性雰囲気下で低温で同時焼成して複数のRとCを構成するとともに、高誘電率の誘電体を用いることにより大容量のコンデンサを形成させた機械強度を十分に有する複合積

層セラミック部品を提供することにある。

本発明によれば少なくとも1個以上のコンデンサを有した誘電体層と、ガラス・セラミックからなる比誘電率が10以下の複数の低誘電率誘電体層とが積層された複合積層セラミック部品において、第1の比誘電率が11以上の高誘電率誘電体層と成分の異なる第2の比誘電率が11以上の高誘電率誘電体層が、第1の高誘電率誘電体層と低誘電率誘電体層とに介挿された構造を含むことを特徴とする複合積層セラミック部品が得られる。

### (4) 発明の構成および作用の説明

以下、本発明を実施例によって詳細に説明する。

#### 〔実施例〕

まず本発明で用いるガラス・セラミックからなる低誘電率誘電体生シート（以後ガラス・セラミック生シートと称す。）は、酸化アルミニウム40～60重量％、結晶化ガラス60～40重量％の組成範囲で総量100％となるように選んだ混合粉末をバインダー、有機溶媒、可塑剤と共に泥漿化しドクターブレード法等のスリップキャスト

ング製膜により厚さ $20\mu\text{m}$ ～ $300\mu\text{m}$ の生シートをポリエステルフィルム上に成形し、剝離したのち所望の外形寸法にパンチングしてシートを得る。ここで用いた結晶化ガラス粉末の組成は、酸化物換算表記に従ったとき酸化鉛、酸化ホウ素、二酸化ケイ素、II族元素酸化物、IV族元素（但し、炭素、ケイ素、鉛は除く）酸化物を、それぞれ重量比3～66％、2～50％、4～65％、0.1～50％、0.02～20％の組成範囲で総量100％となるように選んだ組成物で構成されている。

次に比誘電率が11以上の高誘電体（以降高誘電体と称す。）材料の選定について、ガラス・セラミック材料と同時焼成可能な材料という制約条件がつく。

発明者の得た知見においては鉛を含む複合ペロブスカイト化合物のうち等しい液相成分を有する化合物のうちから選ぶことが出来る。

高誘電体生シートは次の2種類を作製した。

出発原料粉末としては $\text{Fe}_2\text{O}_3$ 、 $\text{PbO}$ 、 $\text{Nb}_2\text{O}_5$ 、 $\text{WO}_3$ と $\text{PbO}$ 、 $\text{WO}_3$ 、 $\text{MgO}$ 、 $\text{Nb}_2\text{O}_5$ 、 $\text{MnO}_2$ 、 $\text{TiO}_2$

粉末を所定量秤量し、ボールミル混合して戸過乾燥後700~800℃で予焼を行なう。次にボールミル粉碎してバインダー、有機溶媒、可塑剤と共に混合し泥漿化する。次にこの泥漿を絶縁体生シートの作製と同様にドクターブレード法等のスリップキャスト法により厚さ10μm~200μmの誘電体生シートを得た。ここで用いた高誘電体材料は、1つは $Pb(Fe_{1/2}Nb_{1/2})O_3$ 、 $Pb(Fe_{2/3}W_{1/3})O_3$ 二元系複合ペロブスカイト化合物であり、もう1つは $Pb(Mg_{1/3}W_{2/3})O_3$ 、 $0.35(MnNb)0.01Ti0.65O_3$ 三元系複合ペロブスカイト化合物である。となるように原料を秤量した。

また抵抗体ペーストは二酸化ルテニウム粉末と絶縁体生シートに用いた結晶化ガラス粉末とをそれぞれ重量比10:90~50:50の範囲で所望の抵抗値が得られるように混合し、誘電体ペーストと同様にエチルセルロース、α-テルピネオール、ケロシン、芳香族炭化水素系溶剤を含んだ有機ビヒクルと共に三本ロールを用いて混練し、

21の部分に導体が埋め込まれた。導体としてはAu, Ag, Pd, Pt等の金属の単体もしくはこれらを1以上含んだ合金からなるペーストを使用した。ガラス・セラミック生シート20のバイアホール21の部分及びその近傍にのみ導体層2を形成したものも作製した。

次にバイアホール21の部分と、その近傍のみに導体層2を形成したガラス・セラミック生シート20に対して第7図に示す通り抵抗体ペースト23を印刷した。また、図示しないが場合によってはバイアホール21を形成しないガラス・セラミック生シート20にも同様に抵抗体ペーストを印刷する。

次にコンデンサ側の構造について説明する。

本発明では、二種類の高誘電体を用いるが $Pb(Fe_{2/3}Nb_{1/2})O_3$ 、 $Pb(Fe_{2/3}W_{1/3})O_3$ 二元系複合ペロブスカイト化合物(以降PNWと称す)は誘電率が約15,000と大きい、ガラス・セラミック生シートと積層して焼成すると高誘電体とガラス・セラミックとの間に大きな応力が加

ペーストを作製した。

電極層および信号線に用いる導体は、Au, Ag, Pd, Pt等の金属の単体もしくは1以上含んだ合金粉末をエチルセルロース、α-テルピネオール、ケロシン、芳香族炭化水素系溶剤等の有機ビヒクルと共に混練しペースト状にしたものを使用した。

第5図~第10図は本発明の一実施例である複合積層セラミック部品の各製造工程を示したものである。これらの図で(a)は平面図、(b)は断面図である。製膜したガラス・セラミックシートを所望の外形寸法にパンチングして第5図に示すガラス・セラミック生シート20に上下面の導通をもたらすためのバイアホール21を形成した。ここで形成するバイアホール21の径は最小100μmまでが可能であった。

次に、第6図に示すようにバイアホール21を設けたガラス・セラミックシート20上に信号線、シールド線に用いる導体層2をスクリーン印刷法等により形成した。このとき同時にバイアホール

わり、悪くすると剝離が発生する。逆に $Pb(Mg_{1/3}W_{2/3})O_3$ 、 $0.35(MnNb)0.01Ti0.65O_3$ 三元系複合ペロブスカイト化合物(以後PMWと称する)は誘電率は約2000と小さいが、ガラス・セラミック生シート21と積層して焼成を行っても良好な焼結体となる。

そこで焼結性の異なる二種類の高誘電体をサンドイッチ構造にすることにより誘電率が大きく、かつ良好な焼結性のコンデンサを得る。

そこでコンデンサを形成するためにまず、PMW誘電体生シート24を第8図に示すようにパンチングする。

次に、このPMW誘電体生シート24のバイアホール21部分とその近傍のみに導体層2を形成したのに対して第6図と同様な導体層2を形成する。次にPNW誘電体生シート25上に電極層となる導体層2を第9図に示すように形成する。

次に第11図に示すように第6図~第9図のそれぞれのシートと積層体の厚みを調整するための第10図ガラス・セラミック生シート20とバイ

アホール 21 とその近傍のみに導体層 2 を形成したガラス・セラミック生シート 20 を温度 100 ~ 130℃、圧力 200 ~ 300 kg/cm<sup>2</sup> でプレス機を用いて積層した。第 11 図において高誘電体シートとその上、下面に形成された導体層は、焼結後のコンデンサ形成部分 3 となり、ビアホール 21 および導体層 2 を経由して外部端子用の導体層 2b に接続している。また RnO<sub>2</sub> 系抵抗ペーストも積層および焼成することにより抵抗体 4 が形成でき、ビアホール 21 および配線用の導体層 2 により、外部へ導かれている。

このように積層・熱圧着した積層体を所定の外形寸法に切断し、そしてバインダーを分解し気化するための脱バインダー工程と、ガラス・セラミック、誘電体の焼成するための焼成工程とを経過して焼成体を製作した。

このように製作された複合積層セラミック部品に内蔵されたコンデンサは誘電体単独だけで製作されたコンデンサに比べて 40 % 位の静電容量を得た。本発明で内蔵されたコンデンサは、従来方

法に比べてみると、8 倍もの静電容量が得られた。

#### (5) 効果の説明

以上、本発明には次の効果がある。

複合積層セラミック部品に組込まれる誘電体の液相成分がガラス・セラミック内へ拡散することが防止されることにより所定の誘電率を有する誘電体が得られ、その結果、大容量のコンデンサとセラミック配線基板とが一体形成される。

#### 4. 図面の簡単な説明

第 1 図～第 4 図は従来部品を示し、第 1 図、第 4 図(a)は断面図、第 2 図(a)第 3 図(a)は斜視図、第 2 図(b)、第 3 図(b)、第 4 図(b)は等価回路図を示す。第 5 図～第 10 図は本発明の実施例の複合積層セラミック部品の各製造工程を示す図であり、各図の(a)は平面図、(b)は断面図を示す。第 11 図は本実施例の完成部品の模式的内部断面図である。

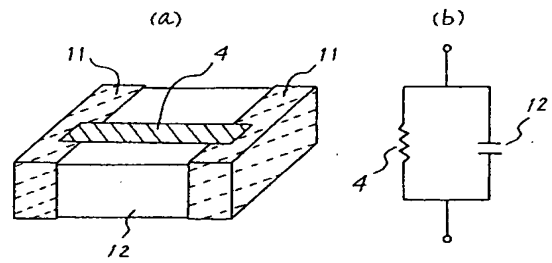
1……アルミナシート、2……導体層、3……コンデンサ形成部分、4……抵抗体、11……外部電極、13……積層チップコンデンサ、13…

…絶縁体、20……ガラス・セラミック生シート、21……ビアホール、23……抵抗ペースト、24……PMW誘電体生シート、25……PNW誘電体生シート、26……外部端子用の導体層。

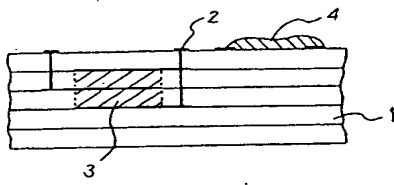
代理人 弁理士 内 原 普



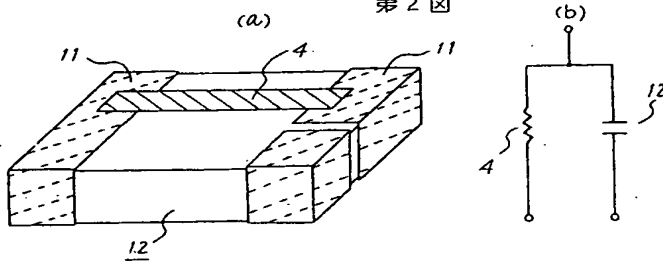
第3図



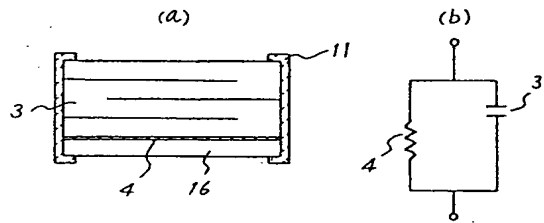
第1図



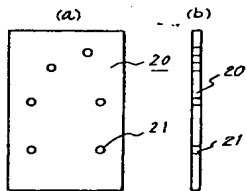
第2図



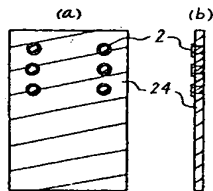
第4図



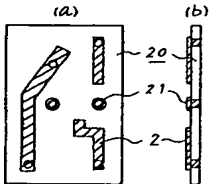
第5図



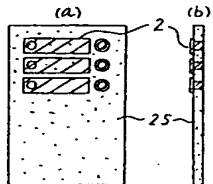
第8図



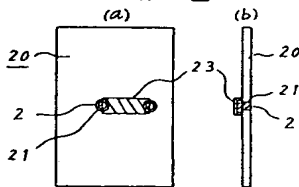
第6図



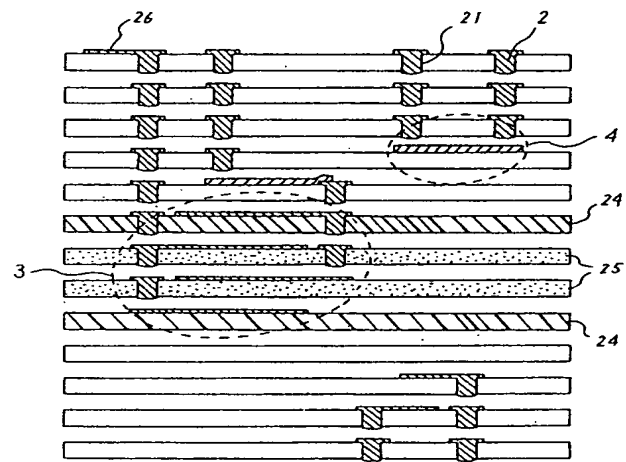
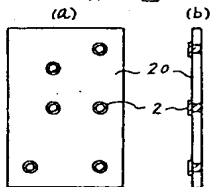
第9図



第7図



第10図



第11図